



## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **2002124625 A**(43) Date of publication of application: **26.04.02**

(51) Int. Cl.

**H01L 25/065**  
**H01L 25/07**  
**H01L 25/18**  
**H01L 23/12**

(21) Application number: **2000314988**(22) Date of filing: **16.10.00**(71) Applicant: **OKI ELECTRIC IND CO LTD**

(72) Inventor: **MORINAGA YUICHI**  
**HASEGAWA KIYOSHI**  
**FUCHINOUE KENJI**

(54) **SEMICONDUCTOR DEVICE AND METHOD OF MANUFACTURING THE SAME**

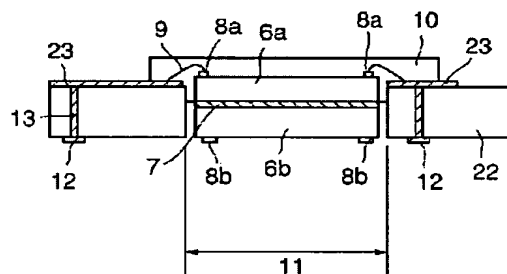
(57) Abstract:

**PROBLEM TO BE SOLVED:** To provide a semiconductor device having an MCP structure, in which a plurality of semiconductor elements are laminated, with a plurality of semiconductor elements having substantially the same shape, and to provide a method of manufacturing the same.

**SOLUTION:** This semiconductor device includes a wiring board 22, having a front surface and a rear surface, an interconnect line 23 formed at least on the front surface, an opening 11 formed in the wiring board 22 reaching the rear surface from the front surface, a first surface, on which a first electrode 8a is formed, and a second surface opposed to the first electrode 8a. This semiconductor device is constituted by a first semiconductor element 6a, having the second surface disposed in the opening 11, a metal filament 9, which is a first conductor for connecting the first electrode 8a and the interconnect line 23, a sealing body 10 for sealing the first semiconductor element 6a and the metal filament 9 and fixing the first semiconductor element 6a to the wiring board 22, and a second semiconductor element 6b, which is fixed on the second surface, has a third surface fixed to the second surface and a forth

surface opposed to the third surface, has a second electrode 8b for external connection formed on the fourth surface and has substantially the same shape as that of the first semiconductor element 6a.

COPYRIGHT: (C)2002,JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号  
特開2002-124625  
(P2002-124625A)

(43) 公開日 平成14年4月26日 (2002. 4. 26)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テーマコード* (参考)
H 0 1 L 25/065		H 0 1 L 25/08	Z
25/07		23/12	N
25/18			
23/12			

審査請求 有 請求項の数15 O L (全 8 頁)

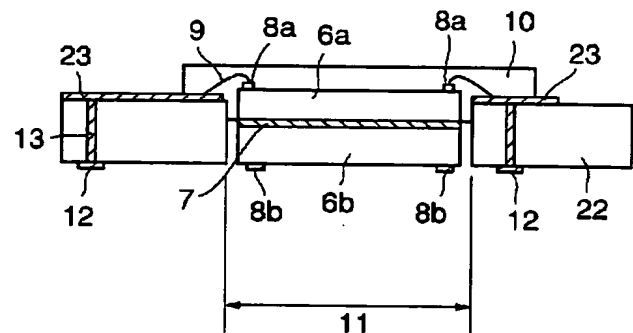
(21) 出願番号	特願2000-314988(P2000-314988)	(71) 出願人	000000295 沖電気工業株式会社 東京都港区虎ノ門1丁目7番12号
(22) 出願日	平成12年10月16日 (2000. 10. 16)	(72) 発明者	森永 優一 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社内
		(72) 発明者	長谷川 清 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社内
		(72) 発明者	瀧之上 謙二 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社内
		(74) 代理人	100089093 弁理士 大西 健治

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【目的】 複数の半導体素子が積層されたMCP構造を有する半導体装置において、略同一形状を有する複数の半導体素子が実装されたMCP構造の半導体装置、及びその製造方法を提供することを目的とする。

【構成】 半導体装置は、表面及び裏面を有する配線基板22と、少なくとも表面に形成される配線23と、配線基板22に形成され、表面から裏面に至る開口部11と、第1の電極8aが形成された第1の面と、その第1の面に対向する第2の面とを有し、開口部11内に配置される第2の面を有する第1の半導体素子6aと、第1の電極8aと配線23とを接続する第1の導体である金属細線9と、第1の半導体素子6aと金属細線9とを封止するとともに、第1の半導体素子6aを配線基板22に固着する封止体10と、第2の面上に固定されるとともに、第2の面と固定される第3の面、及び第3の面に対向する第4の面を有し、第4の面には、外部との接続を行なう第2の電極8bが形成され、かつ、第1の半導体素子6aと略同一形状を有する第2の半導体素子6bとから構成される。



**【特許請求の範囲】**

**【請求項1】** 第1の面を有する第1の基板、及び前記第1の面上に配置される第2の基板とからなる配線基板と、前記第1の面より前記第1の基板に形成される凹部と、前記凹部に対応する前記第2の基板に設けられ、前記凹部に対応する領域よりも広い領域に形成される開口部と、前記凹部内に配置されるとともに、前記配線基板に形成された配線パターンに電氣的に接続される第1の電極を有する第1の半導体素子と、一部分が前記開口部内の前記第1の面上に配置される第2の半導体素子とを有することを特徴とする半導体装置。

**【請求項2】** 前記第2の半導体素子は、前記第1の半導体素子と略同一形状を有することを特徴とする請求項1記載の半導体装置。

**【請求項3】** 前記配線基板は、前記第1の基板及び前記第2の基板とが一体的に形成されることを特徴とする請求項1記載の半導体装置。

**【請求項4】** 請求項1記載の半導体装置は、更に、前記第1の電極と前記配線基板とを電氣的に接続する金属細線を有しており、前記第1の電極は、前記第2の半導体素子により規定される領域以外の前記第1の半導体素子の領域に設けられていることを特徴とする半導体装置。

**【請求項5】** 表面及び裏面を有する配線基板と、少なくとも前記表面に形成される配線と、前記配線基板に形成され、前記表面から前記裏面に至る開口部と、第1の電極が形成された第1の面と前記第1の面に対向するとともに、前記開口部内に配置される前記第2の面を有する第1の半導体素子と、前記第1の電極と前記配線とを接続する第1の導体と、前記第1の半導体素子と前記第1の導体とを封止するとともに、前記第1の半導体素子を前記配線基板に固着する封止体と、前記第2の面上に固定されるとともに、前記第2の面と固定される第3の面、及び前記第3の面に対向する第4の面を有し、前記第4の面には、外部との接続を行なう第2の電極が形成され、かつ、前記第1の半導体素子と略同一形状を有する第2の半導体素子とを有することを特徴とする半導体装置。

**【請求項6】** 前記裏面と前記第4の面とは、略同一面を形成していることを特徴とする請求項5記載の半導体装置。

**【請求項7】** 表面及び裏面を有する配線基板の第1領域に、前記表面から前記裏面に至る開口部を形成する工程と、前記第1領域よりも小さい面積を有する上面と、前記表面及び前記裏面間の距離により規定される高さよりも低い高さからなる凸部を有する実装部材を準備する工程

と、前記裏面より前記実装部材の前記凸部を挿入する工程と、第1の電極が形成される第1の面と、前記第1の面に対向する第2の面とを有する第1の半導体素子を前記開口部内の前記凸部に固定する工程と、前記第1の半導体素子を固定する工程後、前記第1の電極と前記表面上の配線とを第1の導体で接続する工程と、前記第1の半導体素子及び前記第1の導体を封止体で封止するとともに、前記封止体により前記第1の半導体素子を前記配線基板に固着する工程と、前記固着する工程後、前記実装部材を除去する工程と、前記除去する工程後、第2の電極が形成される第3の面と前記第3の面に対向する第4の面を有するとともに、前記第1の半導体素子と略同一形状を有する第2の半導体素子の前記第4の面を前記第2の面上に固定する工程とを有することを特徴とする半導体装置の製造方法。

**【請求項8】** 前記凸部上には、粘着性を有する物質が設けられていることを特徴とする請求項7記載の半導体装置の製造方法。

**【請求項9】** 前記実装部材は、前記凸部と前記凸部を搭載するシートから構成されており、前記シートは粘着性を有していることを特徴とする請求項7記載の半導体装置の製造方法。

**【請求項10】** 請求項7記載の半導体装置の製造方法において、前記第2の電極は、外部との接続を行なう電極であることを特徴とする半導体装置の製造方法。

**【請求項11】** 請求項10記載の半導体装置の製造方法において、前記第2の半導体素子を固定する工程は、前記裏面と前記第3の面とが略同一平面を形成するように行われることを特徴とする半導体装置の製造方法。

**【請求項12】** 請求項7記載の半導体装置の製造方法において、更に、前記第2の半導体素子を固定する工程後、前記第2の電極と前記裏面上の配線とを第2の導体で接続する工程と、前記第2の半導体素子及び前記第2の導体を封止体で封止するとともに、前記第2の半導体素子及び前記第2の導体を封止する封止体により前記第2の半導体素子を前記配線基板に固着する工程とを有することを特徴とする半導体装置の製造方法。

**【請求項13】** 第1の面を有する絶縁基板と、前記第1の面に形成される第1の溝と、前記第1の溝の底面に形成され、前記底面の面積よりも小さい面積を有する第2の溝と、前記第2の溝内に配置されるとともに、前記絶縁基板に形成された配線パターンに電氣的に接続される第1の電極を有する第1の半導体素子と、

一部分が前記第2の溝内にある前記第1の面上に配置される第2の半導体素子とを有することを特徴とする半導体装置。

【請求項14】 前記第2の半導体素子は、前記第1の半導体素子と略同一形状を有することを特徴とする請求項13記載の半導体装置。

【請求項15】 請求項13記載の半導体装置は、更に、前記第1の電極と前記配線基板とを電氣的に接続する金属細線を有しており、前記第1の電極は、前記第2の半導体素子により規定される領域以外の前記第1の半導体素子の領域に設けられていることを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置及びその製造方法に関し、特に薄型化、高密度実装可能な半導体装置及びその製造方法に関するものである。

【0002】

【従来の技術】従来、高密度実装可能な半導体装置を実現するため、1つのパッケージ内に複数の半導体装置を実装するMCP (Multi-Chip-Package) 構造を採用している。

【0003】通常のMCP構造を有する半導体装置では、回路配線が形成された配線基板上に、表面に電極を有する第1の半導体素子が実装される。更に、その第1の半導体素子の電極を除く表面上には、絶縁性を有する接着材が設けられ、その接着材によって第2の半導体素子が積層される。

【0004】また、従来の半導体装置では、第2の半導体素子が第1の半導体素子上に積層された後、各半導体素子に形成された電極と配線基板に形成された回路配線とが金属細線により接続され、各半導体素子と配線基板とが電氣的に接続されている。さらに、各半導体素子と金属細線は樹脂からなる封止体により封止され、保護される。

【0005】

【発明が解決しようとする課題】しかしながら、上記に述べた従来のMCP構造を有する半導体装置では、電極が形成されている第1の半導体素子の面上に、第2の半導体素子が直接配置されており、第1の半導体素子上に形成された電極と配線基板上の回路配線とを金属細線により接続することで、第1の半導体素子と配線基板との電氣的接続を行なっている。

【0006】その為、第2の半導体素子の形状、つまり半導体素子のサイズは、第1の半導体素子上に形成される電極により規制され、上に積層する第2の半導体素子の形状は第1の半導体素子の形状に比べて小さくする必要が生じていた。つまり、従来のMCP構造を有する半導体装置では、略同一形状の半導体素子を複数個実装し、MCP構造を構成する半導体装置を提供することができな

かった。

【0007】そこで、本発明では、MCP構造を有する半導体装置において、略同一形状を有する複数の半導体素子を実装可能なMCP構造の半導体装置、及びその製造方法を提供することを目的とする。

【0008】

【課題を解決するための手段】上記課題を解決するために、本発明に係る1つ半導体装置は、第1の面を有する第1の基板、及びその第1の面上に配置される第2の基板とからなる配線基板と、第1の面より前記第1の基板に形成される凹部と、凹部に対応する第2の基板に設けられ、凹部に対応する領域よりも広い領域に形成される開口部と、凹部に配置されるとともに、配線基板に電氣的に接続される第1の電極を有する第1の半導体素子と、第1の半導体素子と略同一形状を有し、少なくとも一部分が開口部内の第1の面上に配置される第2の半導体素子とから構成されるものである。

【0009】また、本発明に係るもう1つの半導体装置は、表面及び裏面を有する配線基板と、少なくとも表面に形成される配線と、配線基板に形成され、表面から裏面に至る開口部と、第1の電極が形成された第1の面と第1の面に対向する第2の面とを有し、開口部内に配置される第2の面を有する第1の半導体素子と、第1の電極と配線とを接続する第1の導体と、第1の半導体素子と第1の導体とを封止するとともに、第1の半導体素子を配線基板に固着する封止体と、第2の面上に固定されるとともに、第2の面と固定される第3の面、及び第3の面に対向する第4の面を有し、第4の面には、外部との接続を行なう第2の電極が形成され、かつ、第1の半導体素子と略同一形状を有する第2の半導体素子とから構成されるものである。

【0010】更に、本発明に係る半導体装置の製造方法は、表面及び裏面を有する配線基板の第1領域に、表面から裏面に至る開口部を形成する工程と、第1領域よりも小さい面積を有する面と、表面及び裏面間の距離により規定される高さよりも低い高さからなる凸部を有する実装部材を準備する工程と、裏面より実装部材を挿入し、開口部内に前記凸部を収納する工程と、第1の電極が形成される第1の面と、第1の面に対向する第2の面とを有する第1の半導体素子を開口部内の凸部上に固定する工程と、第1の半導体素子を固定する工程後、第1の電極と前記表面上の配線とを第1の導体で接続する工程と、第1の半導体素子及び第1の導体を封止体で封止するとともに、封止体により第1の半導体素子を配線基板に固着する工程と、固着する工程後、実装部材を除去する工程と、除去する工程後、第2の電極が形成される第3の面とその第3の面に対向する第4の面を有するとともに、第1の半導体素子と略同一形状を有する第2の半導体素子の第4の面を第2の面上に固定する工程とからなるものである。

## 【0011】

【発明の実施の形態】以下、本発明の第1の実施形態について図面を参照して説明する。図1は、本発明の第1の実施形態を示す図であり、MCP構造を有する半導体装置の断面図である。

【0012】図1に示すように、第1の実施形態における半導体装置では、配線3aが設けられた第1の面及びその裏面を有する第1の基板1aと、第1の基板1a上に配置され、その表面に設けられた配線3bを有する第2の基板1bとからなる配線基板2上に、略同一形状を有する複数の半導体素子6a、6bが実装されている。

【0013】本発明において、略同一形状を有する半導体素子とは、同一種類、又は、異なる機能を有する半導体素子であっても同一のサイズを有する半導体素子のことである。また、各半導体素子を製造する際に生じるサイズのバラツキは考慮せず、実質的に同一形状であるとみなす。具体的には、メモリ、又は、ロジック回路等を構成する半導体素子である。

【0014】本実施形態では、第1の基板1aに、第1の半導体素子6aを搭載する凹部4が設けられており、その凹部4内に、電極8aが上となるよう、第1の半導体素子6aが配置される。この第1の半導体素子6aはエポキシ樹脂等からなる接着材7により固定される。また、第1の基板1aに形成された凹部4に対応する領域よりも広い、第2の基板1bの領域には開口部5が設けられ、その開口部5内に第1の半導体装置6aと略同一形状を有する第2の半導体素子6bが配置されている。この第2の半導体素子6bは第1の面上に設けられた接着材7により多層配線基板2に固定される。

【0015】多層配線基板2に固定された各半導体素子は、第1の半導体素子6a上の電極8a、及び第2の半導体素子6b上の電極8bと、多層配線基板上の配線3a、3bとが、各々金属細線9等の導体により電氣的に接続される。最終的に、各半導体素子と金属細線は、エポキシ樹脂等からなる封止体10で封止される。この際、封止体10は金属細線9を確実に封止する必要がある、封止体10は金属細線9の頂点部分よりも50 $\mu$ m程度上方に設けられていることが望ましい。

【0016】ここで、第1の半導体素子6a上に実装される第2の半導体素子6bは、第1の半導体素子6a上に形成された電極8aを除く位置に配置されている。つまり、電極8aは、第2の半導体素子6bにより規定される領域以外の第1の半導体素子6aの領域に設けられている。これにより、本実施形態における半導体装置では、各半導体素子と多層配線間の電気接続を、一括して行なうことが可能となっている。

【0017】また、本実施形態では、凹部4内に収納される第1の半導体素子6aの電極8aは、第2の半導体素子6bが上方に存在しない辺側에만配置され、第1の半導体素子6a上に実装される第2の半導体素子6b

の電極8bは、電極8aが形成された辺と対向する辺側に配置される。このような位置に各電極を配置することで、第1の半導体素子6aと多層配線基板2とを接続する金属細線、及び第2の半導体素子6bと多層配線基板2とを接続する金属細線とが接触する恐れを低減することが可能となる。

【0018】また、本実施形態における半導体装置では、外部との接続が必要となる場合、多層配線基板の表面に形成された配線上に外部接続端子となるバンプ等を設けることで適宜対応することが可能である。

【0019】本実施形態の半導体装置で使用される多層配線基板2は、例えば、ガラスエポキシ樹脂等から形成されている。また、多層配線基板2と各半導体素子を接着する接着材7には、絶縁性のエポキシ系接着剤や接着テープが用いられる。

【0020】以上に述べたように本実施形態によれば、凹部4を有する第1の基板1aと、その凹部よりも広い領域を有する開口部5が形成された第2の基板1bとからなる多層配線基板2を用い、開口部5内の第1の基板が有する第1の面上に設けられた接着材7によって、第1の半導体素子6aとは位置をずらして第2の半導体素子6bが実装されるため、同一形状を有する2つの半導体素子を実装したMCP構造を提供することが可能となる。

【0021】また、第1の面に設けた接着材7により第2の半導体素子6bを固定する場合、第1の半導体素子6aの回路形成面に接触せずに第2の半導体素子6bを多層配線基板2に固定することができる。結果、第1の半導体素子の回路形成面を損傷することなく、高い信頼性を有する半導体装置を提供することができる。

【0022】さらに、本実施形態の半導体装置では、上方に配置される第2の半導体素子6bにより規定される領域と重ならない第1の半導体素子の領域の一辺に、第1の電極8a、そして、第1の電極8aが配置された辺と対向する第2の半導体素子の辺側に第2の電極8bが、各々設けられている。このように各半導体装置の電極を配置することで、各半導体素子と多層配線基板とを接続する金属細線が接触することを防ぐことが可能となる。

【0023】本実施形態では、配線基板として、第1の基板1aの両面、及び第2の基板1bの一つの面に配線3a、3bが形成された多層配線基板2を例に挙げて説明を行なった。しかし、必ずしも多層に配線が形成された多層配線基板である必要はなく、単層の配線を有した配線基板であってもよい。更に、多層配線基板を使用した場合においては、第1若しくは第2の基板に設けられるスルーホールによって、各配線同士が相互に接続されていてもよい。また、本実施形態における配線基板は、必ずしも2つの基板からなる配線基板である必要はなく、例えば、第1の基板1a、第2の基板1bが一体的

に形成されたものであってもよい。

【0024】本第1の実施形態における半導体装置では、開口部5内の第1の基板1a上のみ接着材7を設け、第2の半導体素子6bを多層配線基板2に固定している。このような構造を有する場合、第1の半導体素子6aの回路形成面の損傷を防ぐ為に、接着材は第1の半導体素子6a上に広がることを防止したほうがよい。その為、第1の基板上に設けられる接着材7は接着材の広がりを抑える必要がある。その結果、第2の半導体素子を固定する接着材としては、ある程度の粘度を有する接着剤、若しくは接着テープ等が用いられることが望ましい。

【0025】しかし、第1の基板上の接着材7のみで十分な接着強度が得られない場合は、第1の半導体素子6a上にも接着材を設けて、第2の半導体素子の固定を行なうことも可能である。但し、このような場合は、第1の半導体素子6aの回路形成面に直接、接着材が設けられることとなる為、接着材を設ける際には第1の半導体素子の回路形成面を損傷しないよう留意する必要がある。

【0026】次に、本発明の第2の実施形態について図面を参照して説明する。図2は、本発明の第2の実施形態を示す図であり、MCP構造を有する半導体装置の断面図である。なお、図2において、第1の実施形態と同一物には同じ符号が用いられている。

【0027】図2に示すように、第2の実施形態における半導体装置では、表面に形成された配線23、及び、裏面に形成された端子12とを有する配線基板22の所定の領域に設けられる開口部11内に、略同一形状を有し、それぞれの半導体素子の裏面同士、つまり、各半導体素子の電極が形成されていない面同士を貼り合わせた第1、及び第2の半導体素子6a、6bが実装されている。本実施形態において、第1、及び第2の半導体素子6a、6bは、例えば、メモリ、又はロジック回路等を構成する半導体素子であり、互いに絶縁性エポキシ系接着剤などからなる接着材7により貼り合わされている。

【0028】また、開口部11内に実装された第1の半導体素子6aの電極8aと配線23とは、金属細線9等の導体により接続され、第1の半導体素子6aと配線基板22とは電氣的に接続されている。加えて、第1の半導体素子6aと金属細線9は、エポキシ樹脂からなる封止体10により封止され、この封止体10が第1の半導体素子6aの側面と配線基板22の開口部11の内壁面との間に入りこむことにより、第1の半導体素子6aは配線基板22に固着されている。

【0029】更に、第1の半導体素子6aの裏面に接着される第2の半導体素子6bは、第1の半導体素子に接着される裏面に対向する表面に電極8bを有しており、電極8b以外の第2の半導体素子の表面には、エポキシ樹脂などが塗布されることで、第2の半導体素子の表面

が保護されている。

【0030】ここで、この第2の半導体素子に形成される電極8bは、例えば半田バンプからなる外部接続端子である。この電極8bと配線基板の裏面に設けられる端子12とによって、本実施形態における半導体装置は外部装置に実装される。

【0031】このように、第2の実施形態における半導体装置では、配線基板の裏面に形成された端子12と第2の半導体素子の表面に形成された電極8bとにより外部装置との接続が行われる。その結果、外部装置との良好な電氣的接続を維持する必要がある場合、配線基板の裏面に形成される端子12と第2の半導体素子の表面に形成される電極8bは、略同一面上に形成されることが望ましい。この場合、第2の半導体素子6bは、その第2の半導体素子の表面と配線基板の裏面とが略同一面を形成する開口部11内の位置に配置されることが望ましい。

【0032】また、本実施形態における配線基板22としては、ガラスエポキシ樹脂からなる基板が用いられおり、表面に形成された配線23と裏面に形成された端子12は、基板に設けられたスルーホールにより電氣的に接続されている。

【0033】第2の実施形態における半導体装置では、裏面に端子12のみが形成された配線基板22を用いた場合を例に挙げて説明を行なったが、裏面に設けられるものは端子のみに限られるものではなく、表面と同様に配線が形成されていてもよい。但し、このような配線基板の裏面にも配線が形成されている半導体装置においても、外部装置との接続を行なう必要がある場合、半田バンプ等の外部接続端子が裏面の配線上に設けられることにより適宜対応できる。

【0034】以上のように、第2の実施形態における半導体装置によれば、第1の半導体素子6aと第2の半導体素子6bの裏面同士、つまり、それぞれの半導体素子の電極8a、8bが形成されていない面同士を貼り合わせ、配線基板22に設けられた開口部11内に2つの半導体素子を実装する為、回路が形成された第1の半導体素子の表面上にMCP構造を構成する第2の半導体素子が直接積層されることがない。結果、第2の半導体素子の形状が第1の半導体素子の電極により規制されることなく、略同一形状の2つの半導体素子を実装したMCP構造を有する半導体装置を提供することが可能となる。更に、各半導体素子の裏面同士を貼り合わせて配線基板への実装を行なう為、第1の半導体素子の回路形成面の損傷を防ぐことが可能となる。

【0035】加えて、本実施形態における半導体装置では、配線基板22に開口部11を設け、その開口部11内に略同一形状を有する2つの半導体素子6a、6bを実装するようにしたので、配線基板上に各半導体素子を実装する従来のMCP構造の半導体装置に比べ、より薄型

化したMCP構造を有する半導体装置を提供することが可能となる。

【0036】次に、第3の実施形態として、本発明の半導体装置の製造方法の一例を図面を参照して説明する。図3は、本実施形態における半導体装置の製造方法において用いられる実装部材15を示す図であり、図3

(a)は上部からの平面図、図3(b)は図3(a)の線分B-Bからの断面図である。また、図4(a)～

(e)は、本発明の半導体装置の製造工程を示す図であり、各工程におけるMCP構造の半導体装置を断面から見た図である。なお、図3及び図4においても、第1及び第2の実施形態と同一物には同じ符号が用いられている。

【0037】まず、図3を用いて、本実施形態における半導体装置の製造方法で用いられる実装部材の説明を行なう。

【0038】図3(a)に示すように、本実施形態の製造方法で使用される実装部材15は、粘着性を有するテープよりなる粘着テープ17と、半導体素子が配置される面に粘着性物質が設けられた凸部16とから構成されており、粘着テープ17上に凸部16が搭載された構造となっている。

【0039】ここで、実装部材15を構成する凸部16は、例えば、粘着性を有するテープ、又は、熱硬化性の樹脂により形成される部材の上面に粘着テープ17にも用いられる粘着性を有するテープが接着されたもの等により形成される。

【0040】また、この凸部16の形状は、第1の半導体素子の実装を行なう際、凸部16の全体が配線基板に形成された開口部に収納される必要が生じる為、凸部16は、半導体素子を配置する、配線基板に設けられた開口部の面積よりも小さい面積を有する面と、配線基板の板厚よりも薄い、つまり、配線基板の表面及び裏面間の距離により規定される高さよりも低い高さhにより規定される。

【0041】この凸部の高さhは、配線基板の厚さ、及び開口部に実装される各半導体素子の厚さによって適宜決定され、更に、半導体素子を配置する凸部上の面の面積は、配線基板に設けられる開口部の面積によって決定される。

【0042】ここで、半導体素子を配置する凸部16上の面は、配線基板に設けられる開口部の面積よりも小さい面積を有していれば十分であるが、半導体素子を固着する樹脂からなる封止体の半導体素子裏面への回り込みを防止する為に、開口部の面積とほぼ同一の形状であることが望ましい。

【0043】また、本実施形態において、実装部材15を構成する粘着テープ17には、テープを除去する際に粘着性物質が残らない粘着テープ17、例えばUVテープ、若しくは熱気泡性テープ等が用いられている。これ

らの粘着テープは、紫外線照射及び加熱により、接着力を低下させることが可能である。このような性質を有するテープを粘着テープ17として用いることで、半導体素子の実装を行なう際に実装部材が確実に配線基板に固定されるとともに、半導体素子の実装が終了した後では、裏面の配線等を損傷することなく、実装部材を除去することが可能となる。

【0044】次に、図4を用いて、本発明における半導体装置の製造方法について、詳細に説明する。

【0045】図4(a)に示すように、表面及び裏面に配線43a、43bが形成された配線基板42に、表面から裏面に至る開口部11が設けられる。そして、開口部11内には、図3にて説明した実装部材15の凸部が配線基板の裏面より挿入される。この際、実装部材の粘着シート17は、配線基板42の裏面に接着されている。

【0046】次に、図4(b)に示すように、開口部11内に収納された実装部材15の凸部上に、表面に電極8aを有する第1の半導体素子6aを配置し、開口部11内に第1の半導体素子6aを収納する。この際、電極8aが形成された面が上になるように第1の半導体素子6aを配置する。このとき、第1の半導体素子6aは、凸部上に設けられた粘着性物質により、実装部材15に固定される。

【0047】さらに、半導体素子を開口部11に収納した後、公知のワイヤボンダを用いて、第1の半導体素子の電極8aと配線基板42の表面に形成された配線43aとを、第1の導体である金属細線9aにて接続し、第1の半導体素子6aと配線基板42とを電気的に接続する。そして、その後、第1の半導体素子6a及び金属細線9aとを、例えばエポキシ樹脂からなる封止体10aにより封止する。このとき、第1の半導体素子6aの側面と配線基板42の開口部11の内壁面との間にも封止体10aが入り込み、この封止体10aによって第1の半導体素子6aは配線基板42に固着される。

【0048】次に、図4(c)に示すように、第1の半導体素子6aを配線基板42に固着した後、第1の半導体素子6a下の実装部材15を除去する。

【0049】実装部材15を除去した後、図4(d)に示すように、先程、配線基板42に実装された第1の半導体素子の開口部11内にある面、つまり、第1の半導体素子の裏面上に、第1の半導体素子の裏面に設けられた接着材7にて、第1の半導体素子6aと略同一形状を有する第2の半導体素子6bの裏面が固定される。ここで、第2の半導体素子の裏面は、第2の半導体素子の電極8bが形成されている面と対向する面のことである。また、第1の半導体素子の裏面上に設けられる接着材7としては、例えばエポキシ樹脂等からなる接着剤が用いられている。

【0050】その後、図4(e)に示すように、先の第

1の半導体素子6aを実装した場合と同様に、公知のワイヤボンダ法により、第2の半導体素子の電極8bと配線基板42の裏面に形成された配線43bとが、第2の導体である金属細線9bにて接続される。そして、第2の半導体素子6bと配線基板42とが金属細線9bにより電気的に接続された後、第2の半導体素子6b及び金属細線9bは、例えば、エポキシ樹脂等からなる封止体10bにより封止される。この封止により第2の半導体素子6bは配線基板42に固着される。

【0051】このような工程により、本発明のMCP構造を有する半導体装置は製造される。

【0052】以上に説明したように、本実施形態における製造方法によれば、第1の半導体素子6aと第2の半導体素子6bの裏面同士、つまり、それぞれの半導体素子の電極8a、8bが形成されていない面同士を貼り合わせ、配線基板42に設けられた開口部11内に2つの半導体素子を実装することが可能となる為、略同一形状を有する複数の半導体素子を配線基板に実装することが可能となる。

【0053】また、配線基板42に開口部11を設け、その開口部11内に複数の半導体素子6a、6bを実装するので、凹部を設けた配線基板上に複数の半導体素子を実装する従来の半導体装置に比べて、更に薄型化したMCP構造の半導体装置を提供することができる。

【0054】加えて、開口部を有した配線基板を使用する本実施形態では、金型等の打ち抜きによる一括した配線基板の加工が可能となる為、ドリル等を用いた研削により加工される凹部を有する配線基板を使用する従来に比べ、配線基板の加工にかかるコストを低く抑えることが可能となる。

【0055】更に、本実施形態における製造方法によれば、開口部に挿入された実装部材の凸部上に第1の半導体素子を配置し、実装を行なうので、実装部材の凸部の高さを調節することで、開口部内の半導体素子の位置を適宜決定することが可能となる。また、実装部材の凸部の高さを調節し、第1の半導体素子を開口部内の所定の位置に実装すれば、配線基板の中心部からの厚さを均等にすることができ、配線基板の反りを防ぐことも可能となる。

【0056】また、本実施形態では、実装部材を用いて第1の半導体素子の実装を行ない、その後、第1の半導体素子の裏面上に第2の半導体素子を配置し、第2の半導体素子の実装を行う。その為、各半導体素子の回路や電極が形成された面に触れることなく、複数の半導体素子が積層されたMCP構造の半導体装置を製造することが可能である。結果、各半導体素子の表面に形成された回路や電極等の損傷を防ぐことができ、より信頼性の高いMCP構造の半導体装置を提供することが可能となる。

【0057】更に、本実施形態における半導体装置の製造方法によれば、それぞれの半導体素子を実装する際

に、各半導体素子の電極と配線基板上の配線との電気的接続が行われる為、各半導体素子に接続された金属細線が重なる心配がない。

【0058】図4に示されるように、本実施形態における製造方法では、第1の半導体素子の電極8aと配線基板の表面の配線3a、そして、第2の半導体素子の電極8bと配線基板の裏面の配線3bとが金属細線9a、9bにより、それぞれ電気的に接続されるMCP構造の半導体装置が提供される。しかし、本実施形態における製造方法では、このような構造の半導体装置にのみ係るものではなく、先の第2の実施形態で詳細に説明したような、外部接続端子となる電極を有する第2の半導体素子を開口部内に実装した半導体装置に適用することも可能である。この場合、図4(d)に示す工程において、表面に外部接続端子を有する第2の半導体素子を第1の半導体素子の裏面上に配置し、第1の半導体素子の裏面上に設けられた接着材により、第2の半導体素子を固定すればよい。

【0059】

【発明の効果】以上に説明した通り、本発明による半導体装置によれば、回路及び電極が形成された第1の半導体素子の表面上には、第2の半導体素子が直接積層されることのないMCP構造を提供することが可能となる。

【0060】結果、本発明における半導体装置では、第2の半導体素子の形状が第1の半導体素子の電極の位置に規制されることがなくなり、略同一形状を有する2つの半導体素子を配線基板に実装することが可能となる。また、第1の半導体素子の回路及び電極形成面に接触することなく、第2の半導体素子の実装されるので、回路や電極の損傷を防ぐことが可能となり、より信頼性の高いMCP構造の半導体装置を提供することが可能となる。

【0061】加えて、本発明による半導体装置の製造方法によれば、各半導体素子の回路及び電極が形成された面に触れることなく、第1の半導体素子と第2の半導体素子の裏面同士、つまり、それぞれの半導体素子の電極が形成されていない面同士を貼り合わせることが可能となる。この為、先に実装される半導体素子の電極の位置に規制されることがなく、配線基板に設けられた開口部11内に略同一形状を有する第2の半導体素子を実装することが可能となる。結果、同一形状を有する2つの半導体素子の実装されたMCP構造を有する半導体装置を提供することができる。

【0062】また、本発明による半導体装置の製造方法によれば、配線基板に開口部を設け、その開口部内に複数の半導体素子を実装することが可能となるので、凹部を設けた配線基板上に複数の半導体素子を実装する従来の半導体装置に比べて、更に薄型化した半導体装置を提供することができる。

【図面の簡単な説明】



【図1】第1の実施形態を示す半導体装置の断面図である。

【図2】第2の実施形態を示す半導体装置の断面図である。

【図3】図3の実施形態において用いられる実装部材の平面図、及びB-B断面からの断面図である。

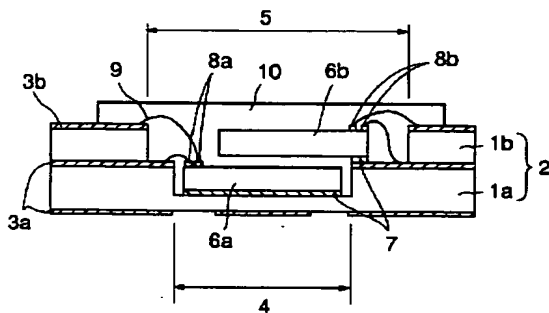
【図4】第3の実施形態における半導体装置の製造方法の各工程を示す断面図である。

【符号の説明】

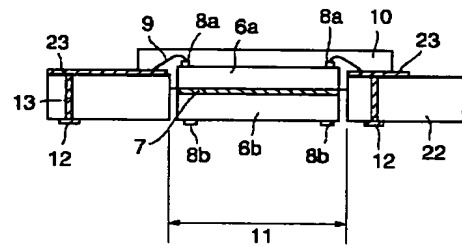
2 2 配線基板

2 3 配線  
6 a, 6 b 半導体素子  
7 接着材  
8 a, 8 b 電極  
9 金属細線  
1 0 封止体  
1 1 開口部  
1 2 端子  
1 3 スルーホール

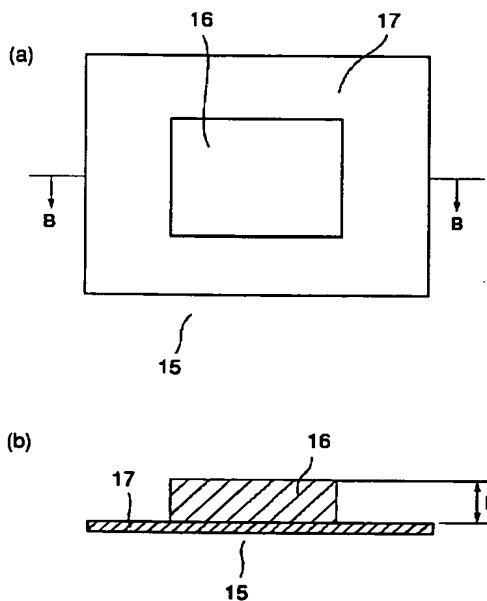
【図1】



【図2】



【図3】



【図4】

